

PAT-NO: JP406077482A

DOCUMENT-IDENTIFIER: JP 06077482 A

TITLE: MANUFACTURE OF ARRAY SUBSTRATE FOR LIQUID-
CRYSTAL
DISPLAY DEVICE

PUBN-DATE: March 18, 1994

INVENTOR-INFORMATION:

NAME
KUBO, AKIRA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP04229987

APPL-DATE: August 28, 1992

INT-CL (IPC): H01L029/784, G02F001/136

US-CL-CURRENT: 438/128

ABSTRACT:

PURPOSE: To simply manufacture an array substrate without producing a hillock on the surface of aluminum.

CONSTITUTION: An aluminum alloy is deposited, in 200nm, on a glass substrate 1 by a sputtering method, it is patterned, a scanning line 2 used also as a gate is formed, and a surface oxide film which has been produced on the surface is removed by a reverse sputtering method. A molybdenum-tantalum alloy (MoTa) film 16 is deposited, in 150nm, on the scanning line 2 used also as the gate,

it is annealed at 430°C for one hour in a vacuum annealing furnace, and an aluminum alloy layer 17 is formed on the surface. After the aluminum alloy layer 17 has been formed, only the molybdenum-tantalum alloy film 16 is dry-etched and removed. A semiconductor layer 10 is formed, and a display electrode 12 is formed by using an ITO as a material. An aluminum layer is deposited, and a signal line 14 used also as a source electrode and a drain electrode 13 are formed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-77482

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9225-2K		
		9056-4M	H 0 1 L 29/ 78	3 1 1 G

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-229987

(22)出願日 平成4年(1992)8月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 久保 明

神奈川県横浜市磯子区新杉田町8 株式会

社東芝横浜事業所内

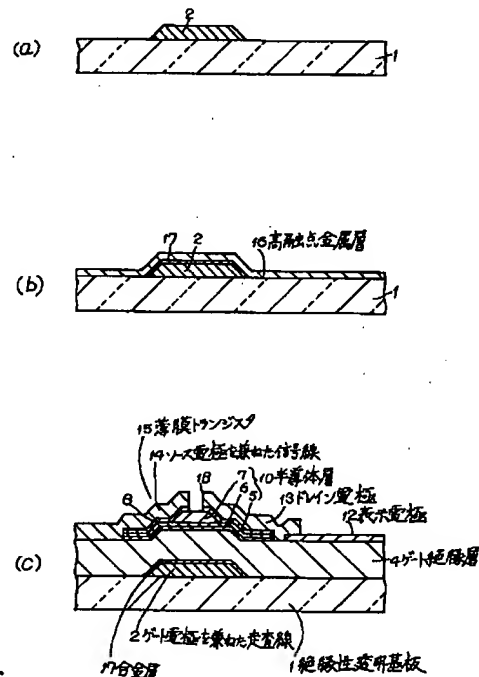
(74)代理人 弁理士 樺澤 襄 (外2名)

(54)【発明の名称】 液晶表示装置用アレイ基板の製造方法

(57)【要約】

【目的】 アルミニウムの表面にヒロックを生じなく、簡単に製造できる液晶表示装置用アレイ基板の製造方法製造方法を提供する。

【構成】 ガラス基板1上に、スパッタ法によりアルミニウム合金を200nm堆積させ、パターン化してゲートを兼ねた走査線2を形成し、表面に生じた表面酸化膜を逆スパッタ法により取り除く。ゲートを兼ねた走査線2上に、モリブデン・タンタル合金(MoTa)膜16を150nm堆積させ、430℃の真空アニール炉で1時間アニールし、表面にアルミニウム合金層17を形成する。アルミニウム合金層17を形成した後、モリブデン・タンタル合金膜16のみをドライエッチングで取り除く。半導体層10を形成し、表示電極12をITOを材料として形成する。アルミニウム層を堆積させソース電極を兼ねた信号線14およびドレイン電極13を形成する。



1

【特許請求の範囲】

【請求項1】 絶縁性透明基板上に、アルミニウムを主成分とした金属からなりゲート電極を兼ねる走査線、このゲート電極を兼ねる走査線上に形成されたゲート絶縁層、このゲート絶縁層に対向する側に形成された半導体層、ソース電極を兼ねた信号線、ドレイン電極およびパターン形成された表示電極を有する薄膜トランジスタを具備した液晶表示装置用アレイ基板の製造方法において、前記ゲート電極を兼ねる走査線に生じた表面酸化膜を取り除き、この表面酸化膜を取り除いた後、前記ゲート電極を兼ねる走査線に高融点金属層を積層して前記ゲート電極を兼ねる走査線の表面を合金化して合金層を形成し、この合金層形成の後、前記高融点金属層のみを取り除くことを特徴とする液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタを具備した液晶表示装置用アレイ基板の製造方法に関する。

【0002】

【従来の技術】近年、薄膜トランジスタアレイは、アクティブマトリクス型の液晶表示素子に適用され、コントラスト比の高さ、応答速度の点で他の液晶表示素子に比べ格段に優れ、平面型表示装置の本命と目され脚光を浴びている。

【0003】また、液晶表示装置の表示部分が大画面化や高精細化になるに伴い、走査線の長さが長くなることや、画素の開口率をほぼ一定にすることによる走査線の幅が細くなることによる走査線抵抗の高抵抗化が起こる。このために、走査信号の波形が歪み、信号の伝播遅延が起こる。そして、走査信号の波形の歪みおよび信号の伝播遅延が画像の不均一となって現れ、画質低下を招く。

【0004】したがって、画質の低下を防止するために、走査線抵抗を低抵抗化させる必要がある。そして、低抵抗化のために、低抵抗金属であるアルミニウム(A1)を走査線材料に使用すれば良いが、アルミニウムを単独で用いると製造工程中の熱処理工程にてアルミニウムにヒロックを生じ、走査線と信号線の層間絶縁性を大きく悪化させる。

【0005】そして、ヒロックを防止する方法としてアルミニウム上に高融点金属を積層した構造がある。このいわゆる積層構造ゲートをを用いた薄膜トランジスタアレイの従来例の構成を、表示用トランジスタアレイの製造方法に基づき図2を参照して説明する。

【0006】まず、ガラス基板1上に、アルミニウム(A1)を材料として、ゲート電極を兼ねる走査線2を成膜しパターン形成する。

2

【0007】次に、ゲートを兼ねる走査線2上にモリブデン・タンタル合金(MoTa)層3を成膜し、ゲートを兼ねる走査線2を覆うようにパターニングする。

【0008】その後、プラズマCVD法により、ゲート絶縁層として酸化シリコン(SiO_x)膜4、窒化シリコン(SiN_x)膜5、半導体膜としてアモルファスシリコン(a-Si)膜6、保護膜となる窒化シリコン(SiN_x)膜7を順次積層する。そして、パターニング後、低抵抗のアモルファスシリコン(n⁺a-Si)8を成膜し、半導体層10を形成する。

【0009】次に、酸化シリコン膜4上に、ITO(インジウム錫酸化膜)を材料としてスパッタリング法により表示電極12を成膜し、パターン形成する。その後、アモルファスシリコン8、9上に、ドレイン電極13およびソース電極を兼ねた信号線14をアルミニウムを材料としてスパッタリング法により成膜し、パターン形成して、薄膜トランジスタ15のアレイを製造する。

【0010】

【発明が解決しようとする課題】しかしながら、図2に示す従来の技術では、ゲート電極を兼ねた走査線2のアルミニウムのヒロック防止のために、アルミニウムのゲートを兼ねた走査線2上にモリブデン・タンタル合金層3を積層構造とするため、パターニング工程を2回しなければならず、製造工程が複雑になる問題を有している。

【0011】本発明は、上記問題点を鑑みなされたもので、アルミニウムの表面にヒロックを生じなく、簡単に製造できる液晶表示装置用アレイ基板の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、絶縁性透明基板上に、アルミニウムを主成分とした金属からなりゲート電極を兼ねる走査線、このゲート電極を兼ねる走査線上に形成されたゲート絶縁層、このゲート絶縁層に対向する側に形成された半導体層、ソース電極を兼ねた信号線、ドレイン電極およびパターン形成された表示電極を有する薄膜トランジスタを具備した液晶表示装置用アレイ基板の製造方法において、前記ゲート電極を兼ねる走査線に生じた表面酸化膜を取り除き、この表面酸化膜を取り除いた後、前記ゲート電極を兼ねる走査線に高融点金属層を積層して前記ゲート電極を兼ねる走査線の表面に合金化し、この合金化の後、前記高融点金属層のみを取り除くものである。

【0013】

【作用】本発明は、合金化の妨げとなるアルミニウムを主成分としたゲート電極を兼ねた走査線に生ずる表面酸化膜を取り除き、このゲート電極を兼ねた走査線に高融点金属層を積層してゲート電極を兼ねた走査線のアルミニウムと高融点金属層の間で合金化して合金層を形成することにより、アルミニウムの表面にヒロックを生じ

なく、簡単に製造できる。

【0014】

【実施例】以下、本発明の一実施例の液晶表示装置用アレイ基板の製造方法を逆スタガー型薄膜トランジスタ(TFT)を用いて図1に示す製造工程に沿って説明する。なお、図2に示す従来例に対応する部分には、同一符号を付して説明する。

【0015】図1(a)に示すように、プラズマCVD法による酸化シリコン(SiO_x)膜付きの絶縁性透明基板としてのガラス基板1上に、スパッタ法によりアルミニウム合金を200nm堆積させ、パターン化してゲート電極を兼ねた走査線2を形成する。なお、このゲート電極を兼ねた走査線2のアルミニウム合金としては、たとえば銅1原子パーセント、シリコン0.5原子パーセント含むアルミニウム合金でもよい。

【0016】そして、このアルミニウム合金のゲート電極を兼ねた走査線2の表面に生じた図示しない表面酸化膜を逆スパッタ法により取り除き、この表面酸化膜が取り除かれた図示しないゲート電極を兼ねた走査線2上に、高融点金属層としてモリブデン・タンタル合金(MoTa)膜16を150nm堆積させる。なお、このように表面酸化膜を取り除くことにより、合金化が妨げられるのを防止する。このモリブデン・タンタル合金膜16を形成した状態で、430℃の真空アニール炉で1時間アニールし、図1(b)に示すように、ゲート電極を兼ねた走査線2のアルミニウムの表面にアルミニウム合金層17を形成する。さらに、このアルミニウム合金層17を形成した後、モリブデン・タンタル合金膜16のみをドライエッチングで取り除く。

【0017】続いて、アルミニウム合金層17およびガラス基板1上に、プラズマCVDにより、ゲート絶縁層としての酸化シリコン(SiO_x)膜4、窒化シリコン(SiN_x)膜5、アモルファスシリコン(a-Si)膜6、保護膜となる窒化シリコン(SiN_x)7の4層を連続堆積し、これら酸化シリコン膜4、窒化シリコン膜5およびアモルファスシリコン膜6にて半導体層10を構成する。そして、上層の窒化シリコン膜7をパターニングし、前処理後にソース電極を兼ねた信号線14およびドレイン電極13のコンタクトとして、n型アモルファスシリコン($n^+ \text{a-Si}$)膜8をプラズマCVD法により堆積する。次に、アモルファスシリコン膜6をパターニングし、酸化シリコン膜4上に透明画素電極である表示電極12をITO(インジウム錫酸化膜)を材料として形成する。続いて、走査線パッド部の開口18をHF系エッチング液でエッチング形成する。そして、スパッタ法により、n型アモルファスシリコン膜6上にアルミニウ

ム層を堆積させ、ソース電極を兼ねた信号線14およびドレイン電極13を形成する。この後、RIE(Reactive Ion Etching)により、バックチャネル上のn型アモルファスシリコン膜8を除去し、薄膜トランジスタ15を有する液晶表示用アレイ基板が完成する。

【0018】なお、実験によればゲート電極を兼ねた走査線2の抵抗は、平均線幅を30μm、走査線長を20cmとしたとき、約1kΩとなった。また、ゲート電極を兼ねた走査線2のアルミニウムのヒロックによるゲート電極を兼ねた走査線2とソース電極を兼ねた信号線14との層間ショートは発生しなかった。

【0019】なお、モリブデン・タンタル合金膜16を構成する金属としては、たとえばタンタル、チタン、クロム、モリブデン、モリブデン・タンタル合金等を用いることができる。

【0020】また、合金化の手段としては、モリブデン・タンタル合金膜16の積層時のスパッタエネルギーのみ、または、積層後に熱アニールを行えばよい。

【0021】

【発明の効果】本発明の液晶表示装置用アレイ基板の製造方法によれば、合金化の妨げとなるアルミニウムを主成分としたゲート電極を兼ねた走査線に形成される表面酸化膜を取り除き、このゲート電極を兼ねた走査線上に高融点金属層を積層してゲート電極を兼ねた走査線のアルミニウムと高融点金属層の間で合金化して合金層を形成することにより、アルミニウムの表面にヒロックを生じなく、簡単に製造でき、アルミニウムを用いることにより低抵抗化されるので、液晶表示装置の大画面化、高精細化を図ることができる。

【図面の簡単な説明】

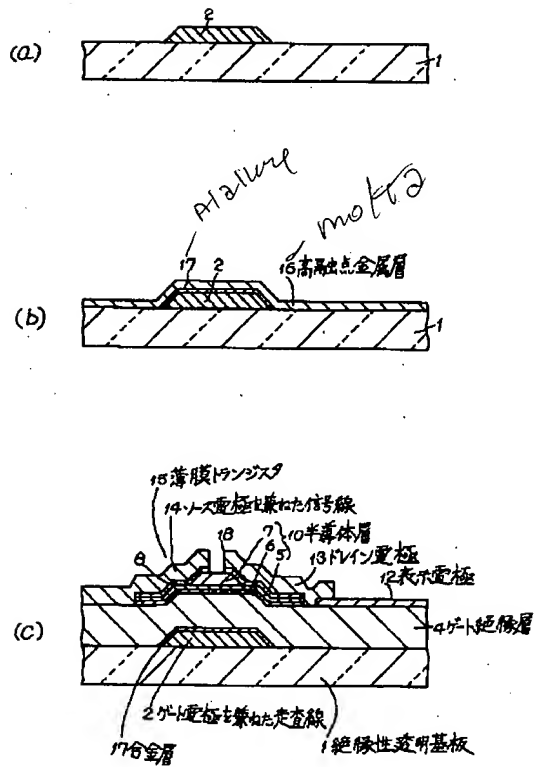
【図1】本発明の液晶表示装置用アレイ基板の製造方法の一実施例の製造工程を示す断面図である。

【図2】従来の液晶表示装置用アレイ基板を示す断面図である。

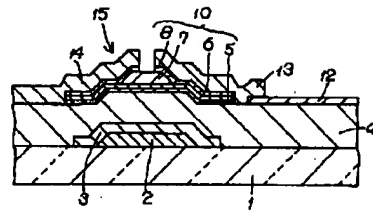
【符号の説明】

- 1 絶縁性透明基板としてのガラス基板
- 2 ゲート電極を兼ねた走査線
- 4 ゲート絶縁層としての酸化シリコン(SiO_x)膜
- 10 半導体層
- 12 表示電極
- 13 ドレイン電極
- 14 ソース電極を兼ねた信号線
- 15 薄膜トランジスタ
- 17 アルミニウム合金層

【図1】



【図2】



Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (****).
2. Texts in the figures are not translated and shown as it is.

Translated: 10:20:44 JST 07/04/2007

Dictionary: Last updated 05/18/2007 / Priority: 1. Information communication technology (ICT) / 2. Electronic engineering / 3. JIS (Japan Industrial Standards) term

FULL CONTENTS

[Claim(s)]

[Claim 1] The scanning line which consists of metal which used aluminum as the principal component, and serves as a gate electrode on an insulating transparent base, The semiconductor layer formed in the side which counters the gate insulating layer formed on the scanning line which serves as this gate electrode, and this gate insulating layer, In the manufacture method of the array substrate for liquid crystal displays of having provided the thin-film transistor which has the signal line which served as the source electrode, a drain electrode, and the display electrode by which pattern formation was carried out After removing the surface oxide film produced in the scanning line which serves as said gate electrode and removing this surface oxide film, The manufacture method of the array substrate for liquid crystal displays characterized by alloying the surface of the scanning line which laminates a high melting point metal layer to the scanning line which serves as said gate electrode, and serves as said gate electrode, forming an alloy layer, and removing only said high melting point metal layer after this alloy layer formation.

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention relates to the manufacture method of the array substrate for liquid crystal displays of having provided the thin-film transistor.

[0002]

[Description of the Prior Art] a thin-film transistor array is applied to an active-matrix type liquid crystal display element, compared with other liquid crystal display elements, is boiled markedly, is excellent in the height of a contrast ratio, and the point of a speed of response, is

regarded as the favorite of a plane type display device, and is in the limelight in recent years. [0003] moreover, it follows on the amount of [of a liquid crystal display] display becoming big-screen-izing and highly minute-ization, and high resistance-ization of the scanning-line resistance by the line width by that the length of the scanning line becomes long or making the numerical aperture of a pixel into about 1 law becoming thin takes place. For this reason, the wave of a scanning signal is distorted and the propagation delay of a signal happens. And the wave-like distortion of a scanning signal and the propagation delay of a signal become uneven [a picture], and appear, and image quality degradation is caused.

[0004] Therefore, in order to prevent deterioration of quality of image, it is necessary to make scanning-line resistance lower-resistance-ize. And although what is necessary is just to use the aluminum (aluminum) which is a low resistance metal for scanning-line material for lower-resistance-izing, if aluminum is used independently, a hillock will be produced to aluminum in the heat treatment process in a manufacturing process, and the layer insulation nature of the scanning line and a signal line will be worsened greatly.

[0005] And the structure which laminated the high melting point metal is on aluminum as a method of preventing a hillock. The composition of the conventional parallel of the thin-film transistor array what is called using this laminating structure gate is explained with reference to drawing 2 based on the manufacture method of the transistor array for a display.

[0006] First, pattern formation of the scanning line 2 which serves as a gate electrode is formed and carried out by being made from aluminum (aluminum) on the glass substrate 1.

[0007] Next, the molybdenum tantalum alloy (MoTa) layer 3 is formed on the scanning line 2 which serves as the gate, and it patterns so that the scanning line 2 which serves as the gate may be covered.

[0008] Then, the silicon nitride (SiNx) film 7 which turns into the silicon oxide (SiOx) film 4 and the silicon nitride (SiNx) film 5 as a gate insulating layer, and turns into the amorphous silicone (a-Si) film 6 and a protective coat as semiconductor membrane is laminated one by one by a plasma-CVD method. And the amorphous silicone (n+a-Si) 8 of lower resistance is formed after patterning, and the semiconductor layer 10 is formed.

[0009] Next, on the silicon oxide film 4, by being made from ITO (indium tin oxide film), the display electrode 12 is formed by the sputtering method, and pattern formation is carried out. Then, on amorphous silicone 8 and 9, it is made from aluminum, it is formed by the sputtering method, pattern formation of the signal line 14 which served both as the drain electrode 13 and the source electrode is carried out, and the array of the thin-film transistor 15 is manufactured.

[0010]

[Problem to be solved by the invention] However, for the hillock prevention of the aluminum of the scanning line 2 which served as the gate electrode in the Prior art shown in drawing 2 in order to make the molybdenum tantalum alloy layer 3 into laminating structure on the scanning

line 2 which served as the gate of aluminum, a patterning process is turned two, and if there is nothing, it will not become, but the manufacturing process has the problem which becomes complicated.

[0011] This invention was not made in view of the above-mentioned problem, does not produce a hillock on the surface of aluminum, and aims at offering the manufacture method of the array substrate for liquid crystal displays which can be manufactured easily.

[0012]

[Means for solving problem] The scanning line which this invention consists of metal which used aluminum as the principal component on an insulating transparent base, and serves as a gate electrode, The semiconductor layer formed in the side which counters the gate insulating layer formed on the scanning line which serves as this gate electrode, and this gate insulating layer, In the manufacture method of the array substrate for liquid crystal displays of having provided the thin-film transistor which has the signal line which served as the source electrode, a drain electrode, and the display electrode by which pattern formation was carried out After removing the surface oxide film produced in the scanning line which serves as said gate electrode and removing this surface oxide film, it alloys on the surface of the scanning line which laminates a high melting point metal layer to the scanning line which serves both as said gate electrode, and serves as said gate electrode, and only said high melting point metal layer is removed after this alloying.

[0013]

[Function] This invention removes the surface oxide film produced in the scanning line which served as the gate electrode which used the aluminum used as the hindrance of alloying as the principal component. By alloying between the aluminum of the scanning line which laminated the high melting point metal layer and served as the gate electrode, and a high melting point metal layer, and forming an alloy layer on the scanning line which served as this gate electrode, a hillock is not produced on the surface of aluminum, and it can manufacture easily.

[0014]

[Working example] The manufacture method of the array substrate for liquid crystal displays of one working example of this invention is hereafter explained along with the manufacturing process shown in drawing 1 using a reverse stagger type thin-film transistor (TFT). In addition, the same sign is attached and explained to the portion corresponding to the conventional parallel shown in drawing 2.

[0015] As shown in drawing 1 (a), 200nm of aluminium alloys are made to deposit by the spatter method on the glass substrate 1 as an insulating transparent base with a silicon oxide (SiOx) film by a plasma-CVD method, and the scanning line 2 which patternized and served as the gate electrode is formed. In addition, as an aluminium alloy of the scanning line 2 which

served as this gate electrode, copper 1 atom percent and a silicon 0.5 atom percent **** aluminium alloy are sufficient, for example.

[0016] And the surface oxide film which was produced on the surface of the scanning line 2 which served as the gate electrode of this aluminium alloy and which is not illustrated is removed by a reverse sputtering method. 150nm of molybdenum tantalum alloy (MoTa) films 16 are made to deposit as a high melting point metal layer on the scanning line 2 which served as the gate electrode with which this surface oxide film was removed, and which is not illustrated. In addition, it prevents that alloying is barred by removing a surface oxide film in this way. Where this molybdenum tantalum alloy film 16 is formed, as an annealing is carried out at a 430-degree C vacuum annealing furnace for 1 hour and it is shown in drawing 1 (b), the aluminium alloy layer 17 is formed in the surface of the aluminum of the scanning line 2 which served as the gate electrode. Furthermore, after forming this aluminium alloy layer 17, only the molybdenum tantalum alloy film 16 is removed by dry etching.

[0017] Then, on the aluminium alloy layer 17 and the glass substrate 1 [with plasma CVD] The continuation deposition of the four layers of the silicon nitride (SiNx) 7 used as the silicon oxide (SiOx) film 4 as a gate insulating layer, the silicon nitride (SiNx) film 5, the amorphous silicone (a-Si) film 6, and a protective coat is carried out. The semiconductor layer 10 consists of these silicon oxide films 4, a silicon nitride film 5, and an amorphous silicon film 6. And the upper silicon nitride film 7 is patterned and the n type amorphous silicone (n+a-Si) film 8 is deposited by a plasma-CVD method as contact of the signal line 14 and the drain electrode 13 which served as the source electrode after the pretreatment. Next, the amorphous silicon film 6 is patterned and ITO (indium tin oxide film) is formed for the display electrode 12 which is a transparent picture element electrode as a material on the silicon oxide film 4. Then, etching formation of the opening 18 of the scanning-line pad section is carried out with HF system etching solution. And by the spatter method, an aluminum layer is made to deposit on the n type amorphous silicon film 6, and the signal line 14 and the drain electrode 13 which served as the source electrode are formed. Then, by RIE (Reactive Ion Etching), the n type amorphous silicon film 8 on a back channel is removed, and the array substrate for liquid crystal displays which has the thin-film transistor 15 is completed.

[0018] In addition, resistance of the scanning line 2 which served as the gate electrode according to the experiment was set to abbreviation 1komega, when average line breadth was 30 micrometers and it set scanning-line length to 20cm. Moreover, the short-circuit between layers with the scanning line 2 which served as the gate electrode by the hillock of the aluminum of the scanning line 2 which served as the gate electrode, and the signal line 14 which served both as the source electrode was not generated.

[0019] In addition, as a metal which constitutes the molybdenum tantalum alloy film 16, a tantalum, titanium, chromium, molybdenum, a molybdenum tantalum alloy, etc. can be used,

for example.

[0020] Moreover, what is necessary is just to perform thermal annealing as a means of alloying the spatter energy at the time of a laminating of the molybdenum tantalum alloy film 16, or after a laminating.

[0021]

[Effect of the Invention] According to the manufacture method of the array substrate for liquid crystal displays of this invention, the surface oxide film formed in the scanning line which served as the gate electrode which used the aluminum used as the hindrance of alloying as the principal component is removed. By alloying between the aluminum of the scanning line which laminated the high melting point metal layer and served as the gate electrode, and a high melting point metal layer, and forming an alloy layer on the scanning line which served as this gate electrode A hillock is not produced on the surface of aluminum, and it can manufacture easily, and since it is lower-resistance-ized by using aluminum, big-screen-izing of a liquid crystal display and highly minute-ization can be attained.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the manufacturing process of one working example of the manufacture method of the array substrate for liquid crystal displays of this invention.

[Drawing 2] It is the sectional view showing the conventional array substrate for liquid crystal displays.

[Explanations of letters or numerals]

- 1 Glass Substrate as an Insulating Transparent Base
 - 2 Scanning Line Which Served as Gate Electrode
 - 4 Silicon Oxide (SiO_x) Film as a Gate Insulating Layer
 - 10 Semiconductor Layer
 - 12 Display Electrode
 - 13 Drain Electrode
 - 14 Signal Line Which Served as Source Electrode
 - 15 Thin-film Transistor
 - 17 Aluminium Alloy Layer
-

[Drawing 1]